

(19) 日本国特許庁 (JP)

(2) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-67890

(13) 公開日 平成11年(1999)3月9日

(51) Int.Cl.⁶

H01L 21/76

識別記号

FI

H01L 21/76

V

審査請求 未請求 請求項の数2 OL (全4頁)

(21) 出願番号

特開平9-225904

(22) 出願日

平成9年(1997)8月22日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 新村 尚之

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

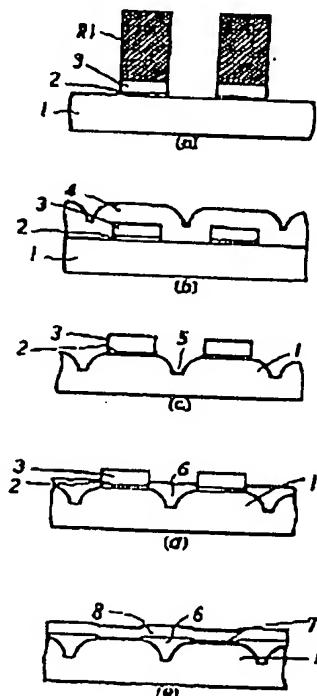
(74) 代理人 弁理士 梅田 勝

(54) [発明の名称] 半導体装置の製造方法

(57) 【要約】

【課題】 シリコン酸化膜からなるサイドウォールをスパッタしながらシリコン半導体基板をエッチングするため、イオンエネルギーが高い条件でエッチングを行っており、シリコン基板に与えるダメージは大きくなり、接合リーキ電流の原因となるシリコン結晶の欠陥を発生する可能性がある。

【解決手段】 シリコン基板1上に熱酸化法により、シリコン酸化膜2を形成した後、CVD法によりシリコン氧化膜を堆積する。続いて、R1をマスクとして、反応性イオンエッチング法により、素子分離領域となる部分のシリコン酸化膜3及びシリコン酸化膜2を完全に除去する。レジストR1を除去した後、多結晶シリコン膜4又はアモルファシリコン膜をCVD法により全面に堆積する。次に、多結晶シリコン膜4を完全に除去されるまで反応性イオンエッチングによりエッチングする。この際、素子分離領域となる弧状のトレンチ領域5がシリコン基板1に形成される。



(2)

特開平11-67890

【特許請求の範囲】

【請求項1】半導体基板上に該半導体基板のエッチングの際にマスクとなるパターンを形成する工程と、全面に上記半導体基板とほぼ同じエッティングレートを有する膜を堆積する工程と、異方性エッティングにより、上記半導体基板とほぼ同じエッティングレートを有する膜をすべて除去し、上記半導体基板に弧状を有するトレンチ領域を形成する工程と、上記トレンチ領域に絶縁膜を埋め込み素子分離領域を形成する工程とを有することを特徴とする、半導体装置の製造方法。

【請求項2】上記半導体基板がシリコンからなり、且つ、上記半導体基板とほぼ同じエッティングレートを有する膜が多結晶シリコン膜又はアモルファスシリコン膜からなることを特徴とする、請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法、更に詳しくは、半導体基板に形成された半導体素子を電気的に分離する素子分離領域を形成する方法に関するものである。

【0002】

【従来の技術】半導体基板表面上の各素子を電気的に分離する素子分離領域の形成方法としては、選択酸化素子分離法や、トレンチ素子分離法と呼ばれる手段が知られている。選択酸化素子分離法では、シリコン基板上にパターニングしたシリコン塗化膜をマスクとし、選択的にシリコン基板を酸化して素子分離領域とする。一方、トレンチ素子分離法では、ドライエッティングによりシリコン基板表面に凹型溝（トレンチ）を形成し、酸化膜等の絶縁膜で該溝内部を埋めて素子分離領域を形成する。

【0003】現在、作成手順の簡易さから選択酸化法が広く用いられているが、素子の微細化に伴いトレンチ素子分離法に移行しつつある。トレンチ素子分離法では、半導体基板上に配したゲート電極又はダミーパターンをマスクとして、半導体基板を垂直にドライエッティングして、トレンチを形成するのが一般的であるが、活性領域の端部ではシリコン基板表面に対して垂直なシリコン界面が形成されるため、該部分で電界集中が起きててしまったり、トレンチ内部への絶縁膜の埋め込みが十分でなく空洞ができてしまう問題がある。

【0004】また、素子分離領域を横断する拡散層配線を有する半導体素子に対して、トレンチ素子分離法を適用した場合、配線不良を引き起こす問題点がある。これは、拡散層配線を形成するための不純物のイオン注入工程において、垂直なトレンチ側面が注入されにくいためである。

【0005】これらの問題を解決するために、特開平7-235590号公報に記載された素子分離領域の形成

方法では、丸みを有するトレンチ形状の素子分離形成方法が提案されている。

【0006】即ち、図3(a)に示すように、シリコン酸化膜24、多結晶シリコン膜23、シリコン酸化膜22から構成されるダミーパターンをシリコン半導体基板21上に形成する。

【0007】次に、図3(b)に示すように、SiC1と酸素の混合ガスを用いて上記ダミーパターンの側壁にシリコン酸化膜からなるサイドウォール25を形成する。次に、図3(c)に示すように、該サイドウォール25をスバッタしながらシリコン半導体基板21をエッティングすることにより丸みを帯びたトレンチ素子分離領域が形成できるため、この部分での電界集中が緩和される。また、トレンチ上部に対し底部の開口幅が狭いため、トレンチ26内部への絶縁膜の埋め込み工程において底部から埋め込みがなされ空洞が発生することはない。また、トレンチ領域26側面が丸みを有する形状であるため、拡散層配線を形成するための不純物のイオン注入工程において、トレンチ領域26側面にも注入できる。尚、図3において、符号25はトレンチ領域形成後のサイドウォールを示す。

【0008】

【発明が解決しようとする課題】しかしながら、上述した特開平7-23559号公報に記載の技術では、シリコン酸化膜からなるサイドウォールをスバッタしながらシリコン半導体基板をエッティングするため、通常のシリコン基板のトレンチエッティングに比べ、イオンエネルギーが高い条件（RFバイアスパワーが50～150W）でエッティングを行っている。該エネルギーが高いほど、シリコン基板に与えるダメージは大きくなり、接合リード電流の原因となるシリコン結晶の欠陥を発生する可能性がある。

【0009】また、サイドウォールを形成する工程があるため、工程数が増加する。

【0010】本発明は、通常のシリコン基板のトレンチエッティング程度のイオンエネルギーのエッティングで、丸みを有するトレンチ形状を形成でき得る素子分離領域の形成方法を提供することを目的とする。

【0011】

【課題を解決するための手段】請求項1記載の本発明の半導体装置の製造方法において、半導体基板上に該半導体基板のエッティングの際にマスクとなるパターンを形成する工程と、全面に上記半導体基板とほぼ同じエッティングレートを有する膜を堆積する工程と、異方性エッティングにより、上記半導体基板とほぼ同じエッティングレートを有する膜をすべて除去し、上記半導体基板に弧状を有するトレンチ領域を形成する工程と、上記トレンチ領域に絶縁膜を埋め込み素子分離領域を形成する工程とを有することを特徴とするものである。

【0012】また、請求項2記載の本発明の半導体装置

40

50

(3)

特開平11-67890

3

の製造方法は、上記半導体基板がシリコンからなり、且つ、上記半導体基板とほぼ同じエッチングレートを有する膜が多結晶ポリシリコン膜又はアモルファスシリコン膜からなることを特徴とする、請求項1記載の半導体装置の製造方法である。

【0013】

【発明の実施の形態】以下、実施の形態に基づいて本発明について詳細に説明する。

【0014】図1は本発明の第1の実施の形態の半導体装置の製造工程を示す図であり、図2は本発明の第2の実施の形態の半導体装置の製造工程を示す図である。

【0015】図1を用いて、本発明の第1の実施の形態の半導体装置の製造工程を説明する。

【0016】まず、P型シリコン基板1上に熱酸化法により、シリコン酸化膜2を形成した後、CVD（化学気相成長）法によりシリコン窒化膜を堆積する。ここでは、シリコン酸化膜2を20nm、シリコン窒化膜3を300nm堆積した。

【0017】次いで、図1(a)に示すように、フォトリソグラフィの手法によりバーニングしたレジストR1をマスクとして、反応性イオンエッティング法により、素子分離領域となる部分のシリコン窒化膜3及びシリコン酸化膜2を完全に除去する。

【0018】次に、レジストR1を除去した後、図1(b)に示すように、シリコン基板1とほぼ同じエッチングレートを有する多結晶シリコン膜4又はアモルファスシリコン膜をCVD法により全面に堆積する。ここでは、多結晶シリコン膜4を200nm堆積した。尚、シリコン基板1とほぼ同じエッチングレートを有する膜であれば、多結晶シリコン膜4等以外でもよい。

【0019】次に、多結晶シリコン膜4を完全に除去されるまで反応性イオンエッティングによりエッティングする。この際、シリコン基板1は多結晶シリコン膜4とほぼ等速度でエッティングが進行するので、図1(c)に示すように、素子分離領域となる弧状のトレンチ領域5がシリコン基板1に形成される。

【0020】ここでの反応性イオンエッティングは、基板バイアス型ECRエッティング装置を用いて、エッティングガスをHBrを40sccm、O₂を3sccm流して、マイクロ波パワーを500W、RFパワーを20Wの条件で行った。

【0021】次に、膜厚が500nm程度のシリコン酸化膜をCVD法により全面に堆積した後、CMP(Chemical Mechanical Polishing)法により、上記酸化膜を研磨することにより、図1(d)に示すように、トレンチ領域5にシリコン酸化膜6が埋め込まれ、素子分離領域が形成される。

【0022】次に、シリコン窒化膜3及びシリコン酸化膜2を除去した後、シリコン基板1表面を熱酸化することにより、ゲート酸化膜7を形成した後、図1(e)に

示すように、ゲート電極材料となる多結晶シリコン膜8をCVD法により全面に形成する。その後、ゲート電極領域を定義するようにバーニングしたレジスト(図示せず。)をマスクとして多結晶シリコン膜8を加工することにより、ゲート電極を形成する。

【0023】次に、図2を用いて、本発明の第2の実施の形態の素子分離領域の形成方法を説明する。

【0024】まず、P型シリコン基板1上に熱酸化法により、シリコン酸化膜9を形成した後、CVD（化学気相成長）法によりフローティングゲート電極材料となる多結晶シリコン膜10とシリコン酸化膜11を順次全面に堆積する。ここでは、シリコン酸化膜9を15nm、多結晶シリコン膜10を250nm、シリコン酸化膜11を50nm堆積した。

【0025】次いで、図2(a)に示すように、フォトリソグラフィの手法によりフローティングゲート電極領域を定義するようにバーニングされたレジストR2をマスクとして、反応性イオンエッティング法により、素子分離領域となる部分のシリコン酸化膜11、多結晶シリコン膜10及びシリコン酸化膜9を完全に除去する。

【0026】次に、レジストR2を除去した後、図2(b)に示すように、多結晶シリコン膜12はアモルファスシリコン膜をCVD法により全面に堆積する。ここでは、多結晶シリコン膜12を200nm堆積した。

【0027】次に、多結晶シリコン膜12が完全に除去されるまで反応性イオンエッティングによりエッティングする。この際、シリコン基板1は多結晶シリコン膜12とほぼ等速度でエッティングが進行するので、図2(c)に示すように、素子分離領域となる弧状のトレンチ領域6

がシリコン基板1に形成される。

【0028】ここで反応性イオンエッティングは、基板バイアス型ECRエッティング装置を用いて、エッティングガスをHBrを40sccm、O₂を3sccm流して、マイクロ波パワーを500W、RFパワーを20Wの条件で行った。

【0029】次に、膜厚が500nm程度のシリコン酸化膜をCVD法により全面に堆積した後、CMP(Chemical Mechanical Polishing)法により、上記酸化膜を研磨することにより、図2(d)に示すように、トレンチ領域にシリコン酸化膜13が埋め込まれ、素子分離領域が形成される。

【0030】次に、図2(e)に示すように、第2のゲート絶縁膜14及びコントロールゲート材料となる多結晶シリコン膜15を形成する。本実施の形態では、第2のゲート絶縁膜として、フローティングゲート電極表面に5nmのシリコン酸化膜を形成した後、CVD法により5nmのシリコン窒化膜を、更に、5nmのシリコン酸化膜を堆積した積層膜とした。多結晶シリコン膜の膜厚は200nmとした。その後、コントロールゲート電極領域を定義するようにバーニングしたレジスト(図

(4)

特開平11-67890

5
示せば。)をマスクとして多結晶シリコン15を加工することにより、ゲート絶縁を形成する。
【0031】

【発明の効果】以上、詳細に説明したように、本発明を用いることにより、シリコン基板上にゲート電極又はダメーパターンを形成した後、多結晶シリコン膜又はアモルファスシリコン膜を全面に堆積し、その後多結晶シリコン膜又はアモルファスシリコン膜を異方性エッティングにより全て除去することにより、シリコン基板表面に弧状の丸みを有するトレンチ素子分離領域を形成することができます。このトレンチ形状では、活性領域の端部での電界集中が緩和され、素子分離のためのトレンチ内部への絶縁膜形成工程で空洞ができる事はない。更に、トレンチ側面への不純物イオン注入が可能となるので、素子分離領域を横断する拡散層配線を有する半導体素子に対してもトレンチ素子分離法を適用でき得る。

【0032】また、弧状の丸みを形成するために特別なエッティング条件を適応する必要がなく、従来問題となっていた高イオンエネルギーによるシリコン基板への損傷を抑制することができ、また、サイドウォール形成工程

6
が必要ないので、工程数を低減することができる。
【図面の簡単な説明】

【図1】本発明の第1の実施の形態の素子分離領域の形成工程を示す図である。

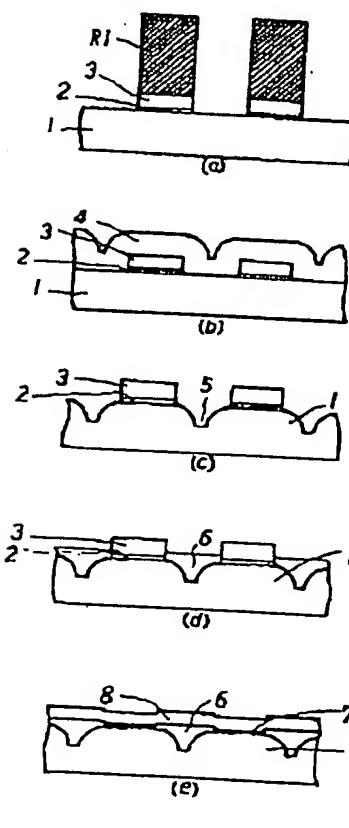
【図2】本発明の第2の実施の形態の素子分離領域の形成工程を示す図である。

【図3】従来のトレンチ素子分離領域の形成工程を示す図である。

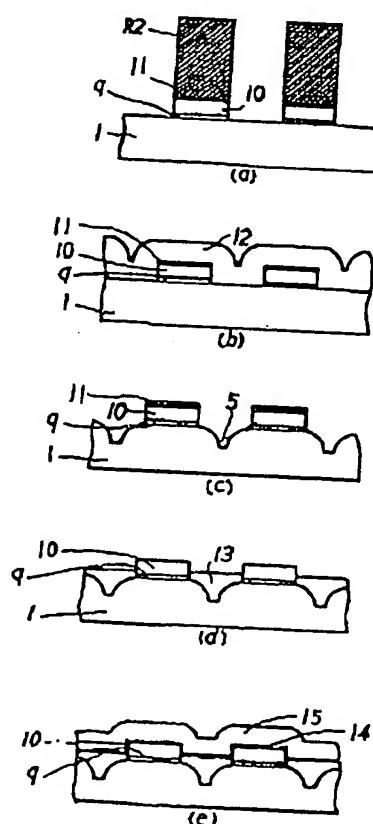
【符号の説明】

- | | |
|----|---------------|
| 10 | 1 シリコン基板 |
| | 2 シリコン酸化膜 |
| | 3、10 シリコン塗化膜 |
| | 1、12 多結晶シリコン膜 |
| | 5 トレンチ領域 |
| | 6、13 シリコン酸化膜 |
| | 7 ゲート酸化膜 |
| | 8、15 多結晶シリコン膜 |
| | 9 第1のゲート絶縁膜 |
| | 11 シリコン酸化膜 |
| 20 | 14 第2のゲート絶縁膜 |

【図1】



【図2】



【図3】

